

PN 二极管在射频开关电路中的工作原理及应用

上海交通大学 张楠 北京邮电大学通信网络综合技术研究所 冯宇波

[摘要]本文对PN 二极管作为射频开关的原理进行分析,并给出了一个用于WLAN 的单刀双掷开关设计。

[关键词]PN 二极管 单刀单掷开关 单刀双掷开关 插入损耗 隔离度

1、引言

PIN 二极管广泛的应用在射频、UHF 和微波电路中,在这些频率范围内,它表现为一个可变阻抗器,阻抗值受加在其两端的直流电流的控制。这种独特的性质使它能够以较小的偏置电流来控制较大的射频功率。

2、PIN 二极管的基本结构

PIN 二极管是一个在射频和微波频段受偏置电流控制的可变阻抗器。它的结构有三层(图1),在硅半导体二极管的P结和N结中间夹着高阻值的本征I层。在正向电流偏置下,空穴和电子被注入到I层。这些电荷不会立刻相互抵消而消失,而是会存在一定的时间,这个时间定义为载流子寿命 τ ,这样,就会产生并存储一定的电荷量,这些电荷使得I层的有阻抗降低到 R_s 。当PIN管处于零偏(反向电流为零)或反偏的时候,在I层不会存储到电荷,这样二极管就表现为一个电容 C_T 并联一个电阻 R_p 。

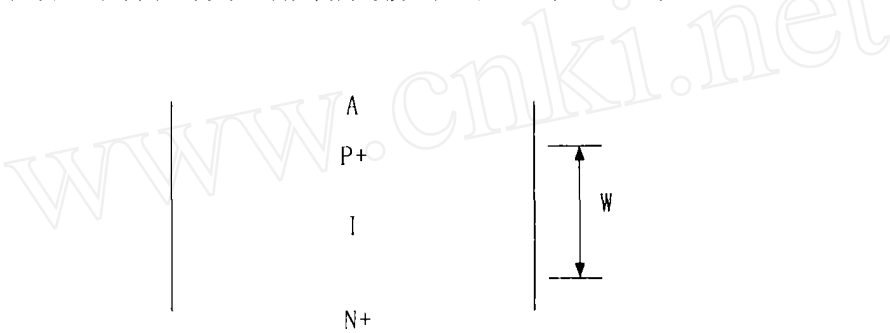


图1 PIN 二极管结构

PIN 二极管的主要参数定义如下:

- R_s 正向偏置状态下的串联电阻
- C_T 零或反向偏置状态下的电容
- R_p 零或反向偏置状态下的并联电阻
- V_R 最大允许的反偏直流电压
- τ 载流子寿命
- P_0 最大平均功耗

3、PIN 二极管的射频等效电路

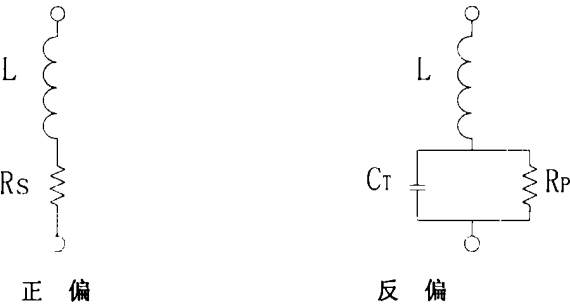


图2 PIN管等效电路

$$R_s = \frac{W^2}{(\mu_n + \mu_p)Q}$$

$$C_T = \frac{\varepsilon \times A}{W}$$

其中: $Q = I_F \times \tau$ 库仑

$W = I$ 层的厚度

$I_F =$ 正向偏置电流

$\tau =$ 载流子寿命

$\mu_n =$ 电子的迁移率

$\mu_p =$ 空穴的迁移率

$\varepsilon =$ 本征 I 层的介电常数

$A =$ PN 结的横截面积

$W = I$ 层的厚度

在等效电路中, L 为寄生电感, 一般情况下小于 1 nH , 在射频情况下其阻抗很小, 可以忽略。在正向偏置情况下, 阻抗主要由 R_s 决定, 由于 R_s 的值也很小, 因此串联在射频电路中起导通作用, 类似于开关的“开”状态。在反向偏置情况下, 电阻 R_s 和偏置电流成正比, 和频率成反比, 在大多数射频电路应用中, 其电阻值远高于 C_T 产生的阻抗, 因此阻抗主要由 C_T 决定, 在射频情况下, C_T 产生的阻抗很高, 因此串联在射频电路中起断开或绝缘作用, 类似于开关的“关”状态。

4、PIN 管在开关电路中的应用

4.1 PIN 管的连接方式

PIN 二极管常被用于控制射频信号的开关器件。由上面的分析, 这主要是利用了 PIN 二极管在不同的偏置电流下, 存储在 I 层的电荷量的不同, 从而表现出的高或低阻抗值。

用串联或并联的方式, 一个 PIN 二极管可以构成一个简单的单刀单掷开关 (SPST), 如图 3 所示。

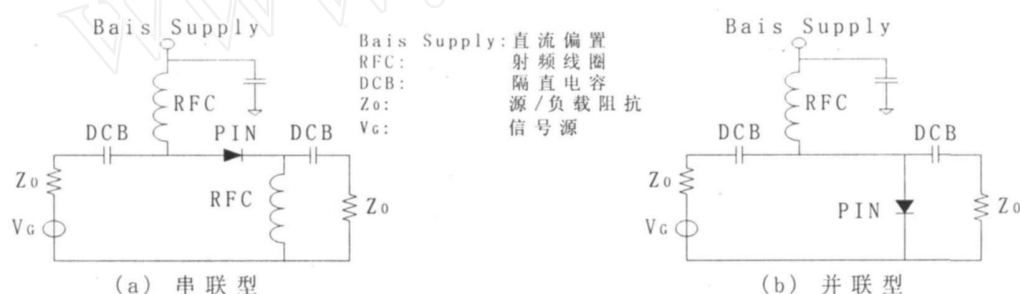


图 3 单刀单掷开关 (SPST)

串联方式主要用在宽频率范围, 较小插入损耗 (Insertion Loss) 的应用中; 而并联方式用在宽频率范围, 较大隔离 (Isolation) 的应用中。对于串联型方式, 当偏置电压为正的时候, PIN 管表现为一电阻 R_s , 有很小的插入损耗, 开关处于“开”状态; 当偏置电压为零或负时, PIN 管表现为一电容 C_T , 有较大的隔离, 开关处于“关”状态。对于并联方式, 开关状态正好和串联方式相反, 正偏时, “关”状态, 反偏时, “开”状态。

多掷开关比单掷开关有更广泛的应用, 用两个 PIN 管可以构成一个简单的单刀双掷开关 (SPDT), 如图 4 所示。

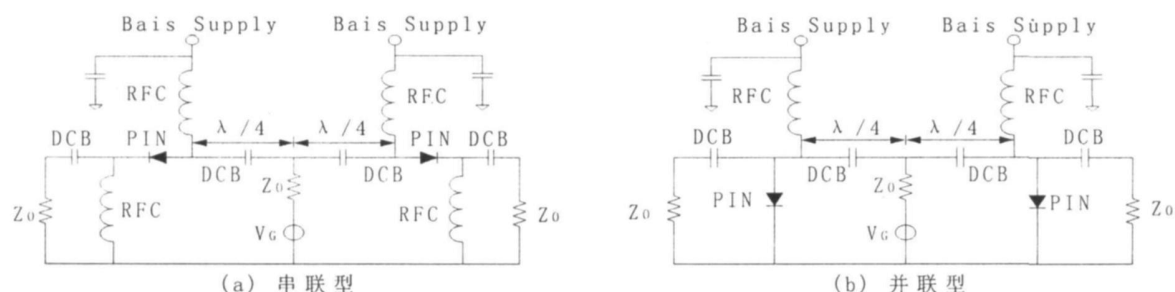


图 4 单刀双掷开关 (SPDT)

4.2 串联型开关分析

图 3 (a) 和图 4 (a) 是两种常用在宽带设计中的串联型开关, 这种开关的最大隔离度主要依赖于 PIN 管的电容 C_T , 而插

入损耗是电阻 R_s 的函数。

4.2.1 插入损耗

$$IL = 20 \log_{10} (1 + R_s / 2 Z_0) \quad \text{dB} \quad (1)$$

公式(1)适用于 SPST 串联型开关。图 5 画出了在 50Ω 系统中的插入损耗曲线。对于多掷开关(图 4(a)), 插入损耗稍大一些, 这主要是由于另一个 PIN 管的 C_T 引起的电路阻抗失配所致。

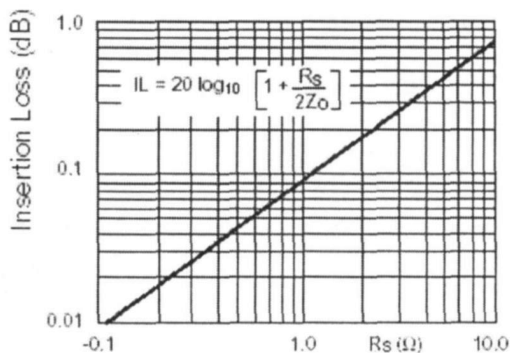


图 5 50Ω 系统中 SPST 串联型开关插入损耗

4.2.2 隔离度

$$I = 10 \log_{10} [1 + (4\pi f C_T Z_0)^{-2}] \quad \text{dB} \quad (2)$$

公式(2)适用于 SPST 串联型开关。对于 SPDT 开关增加 6dB 的隔离度, 这是由于当一个 PIN 管处于“关”状态, 另一个 PIN 管处于“开”状态时, 在“开”状态那边的负载上产生 50% 的压降。图 6 画出了在 50Ω 系统中 SPST 开关的隔离度曲线。

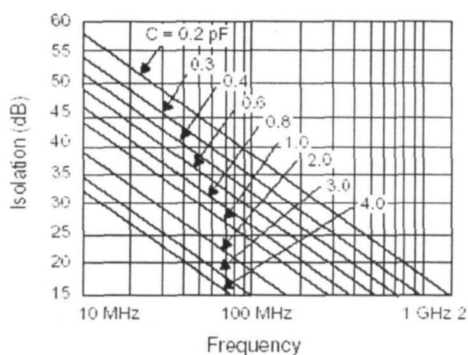


图 6 50Ω 系统中 SPST 串联型开关隔离度

4.3 并联型开关分析

图 3(b)和图 4(b)是两种典型的并联型开关。在很多的应用中, 这些并联的 PIN 管提供了更大的隔离度。在并联型设计中, 隔离度是 PIN 管的正向电阻 R_s 的函数, 而插入损耗依赖于电容 C_T 。

4.3.1 插入损耗

$$IL = 10 \log_{10} [1 + (\pi f C_T Z_0)^2] \quad \text{dB} \quad (3)$$

公式（3）对 SPST 和 SPDT 开关都适用。图 7 是 50 Ω 系统中的插入损耗曲线。

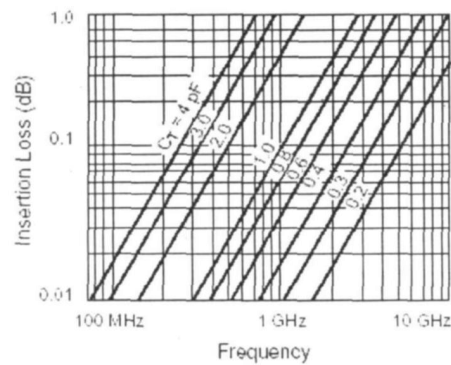


图 7 50 Ω 系统中并联型开关插入损耗

4.3.2 隔离度

$$I = 20 \log_{10} (1 + Z_0 / 2 R_s) \quad \text{dB} \quad (4)$$

公式（4）适用于 SPST 开关。对于多掷型开关，增加 6dB 的隔离度，原因同串联型开关的分析。图 8 是 50 Ω 系统中 SPST 开关的隔离度曲线。

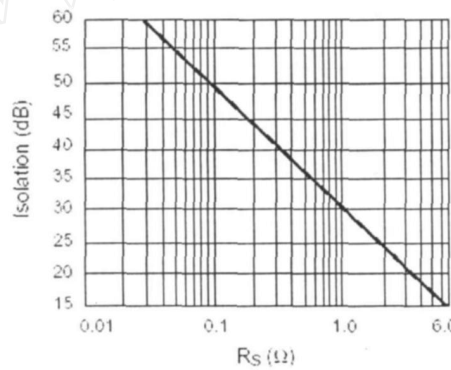


图 8 50 Ω 系统中 SPST 并联型开关隔离度

5 实际电路设计及测试结果

根据需要，本人设计了用于 WLAN 的 SPDT 并联型开关，频带为 5GHz~6GHz。电路图如图 9 所示。PIN 管的选取要考虑到管子的最大平均功耗 P_0 ，最大反向电压 V_R ，开关时间等。根据需要我们选取的 PIN 管子参数为： $R_s = 0.9 \Omega$ ， $C_t = 0.25 \text{pF}$ ， $V_R = 50 \text{V}$ ， $P_0 = 250 \text{mW}$ 。

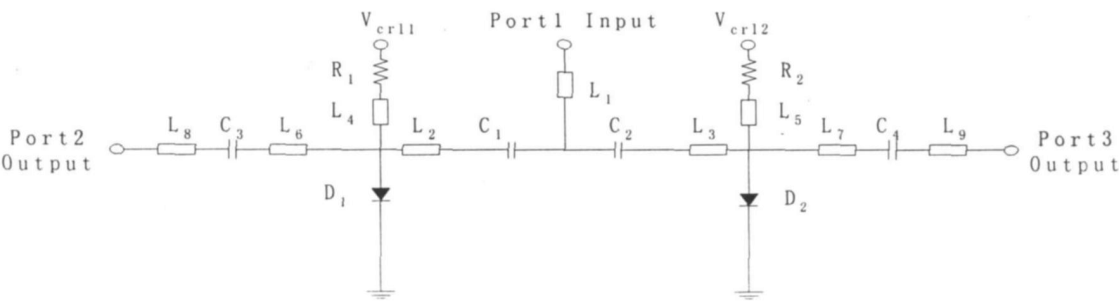


图 9 5GHz~6GHz SPDT 开关电路图

电路设计基于 $50\ \Omega$ 系统。电路板采用 FR-4 型材料, 相对介电常数 $\epsilon_r=4.2$, 厚度 0.78mm , 微带线厚度 0.02mm 。 D_1 和 D_2 为 PIN 管。 $R_1 = R_2 = 400\ \Omega$ 。 $C_1 = C_2 = 5\text{pF}$ 。 $C_3 = C_4 = 10\text{pF}$ 。 $L_1 \sim L_9$ 为微带线。 L_1 、 L_8 、 L_9 设计为 $50\ \Omega$ 特性阻抗; L_2 和 L_3 为 $\lambda/4$ 传输线; L_6 和 L_7 分别用于 D_1 和 D_2 做阻抗匹配; L_4 和 L_5 设计为在 $5\text{GHz} \sim 6\text{GHz}$ 频率范围内有很大的阻抗, 相当于 RFC。 V_{ctrl1} 和 V_{ctrl2} 为偏置电压。

当 D_1 为正偏, D_2 为零/反偏时, D_1 呈现低阻抗, 相当于负载短路, 此时的 $\lambda/4$ 传输线呈现高阻抗, 相当于开路状态, 端口 1 和端口 2 隔离, 处于开状态; 而 D_2 呈现高阻抗, L_7 、 D_2 和 C_4 与 $\lambda/4$ 传输线阻抗匹配, 端口 1 和端口 3 实现通路, 处于关状态。反之, D_1 为零/反偏, D_2 为正偏时, 端口 1 和端口 3 处于开状态, 端口 1 和 2 处于关状态。

经过测试, 在 $5\text{GHz} \sim 6\text{GHz}$ 频带内, 开状态时, 插入损耗 $I \leq 1.7\text{dB}$, 驻波比 (SWR) ≤ 1.5 ; 关状态时, 隔离度 $IL \geq 20\text{dB}$, 驻波 ≤ 1.7 。

图 10 和图 11 分别为开关开状态和关状态的测试结果。实线表示 $V_{\text{ctrl1}} = 0\text{V}$, $V_{\text{ctrl1}} = +5\text{V}$; 虚线表示 $V_{\text{ctrl1}} = -5\text{V}$, $V_{\text{ctrl1}} = +5\text{V}$ 。

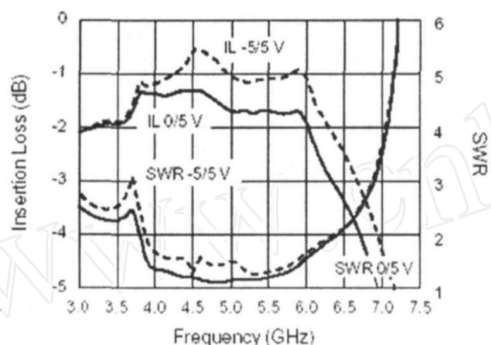


图 10 开状态时的插入损耗和驻波比

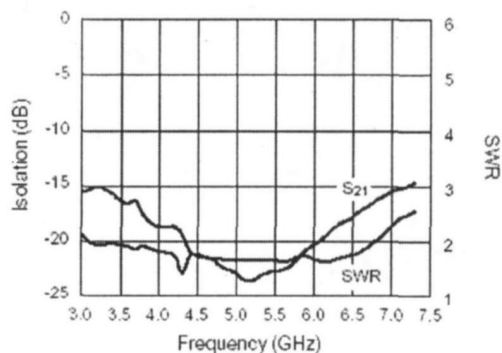


图 11 关状态时的隔离度和驻波比

参考文献

- [1] 吴慎山. 电子线路设计与实践. 电子工业出版社 2005.
- [2] Gerald Hiller. Design with PIN Diodes Applications Note. Alpha Industries Inc.
- [3] 陈爱华, 陈永任. 一种 PIN 开关高速驱动器的设计. 微电子学. 2006 年 4 期.