

高速电路设计和信号完整性分析

湖南长沙国防科技大学自动控制系(410073) 张磊 雷震 刘海波 林哲辉

摘要: 高速电路设计对 PCB 设计者提出了新的要求和挑战,高速电路中的信号完整性问题变得越来越突出,传统的设计方法已经不能适应,利用 IBIS 模型进行信号完整性分析正是为了迎接这种挑战而提出的新方法。介绍了 IBIS 模型的构成要素、基本的建模原理,以及利用 IBIS 模型进行信号完整性分析及其在高速电路设计中的应用,最后用一个实例讲述了分析的具体步骤和过程。

关键词: PCB IBIS EDA 高速电路设计 信号完整性

随着技术的进步,目前高速集成电路的信号切换时间已经达到几百 ps,时钟频率也已达几百 MHz,如此高的边沿速率导致印刷电路板上的大量互连线产生低速电路中所没有的传输线效应,使信号产生失真,严重影响信号的正确传输。若在电路板设计时不考虑其影响,逻辑功能正确的电路在调试时往往会无法正常工作。为了解决这个问题,在设计高速电路时必须进行信号完整性分析,采用虚拟样板对系统进行透彻仿真,精确分析电路的布局布线对信号完整性的影响,并以此来指导电路的设计。这样,以往很多在调试时才能发现的问题,在设计期间就可以解决,极大地提高了设计成功率,缩短了设计周期。

要对信号进行完整性分析,首先要建立精确的器件模型。以前在电路仿真时普遍采用 SPICE 模型,它是建立在电路基本元器件(如晶体管、电阻、电容等)的工作机理和物理细节之上的,可以精确地在电路器件一级仿真系统的工作特性,验证系统的逻辑功能,因此在集成电路设计中得到了广泛的应用。因为它能够精确计算出系统的静态和动态等各种工作特性,所以也可以用来进行系统级的信号完整性分析。但是使用 SPICE 模型有一些难以克服的缺点:首先,由于 SPICE 模型是晶体管一级的模型,随着现在集成电路规模越来越大,即使只建立各个管脚的 SPICE 模型,也会包含成千上万晶体管一级的器件,所以其仿真速度必然很慢,这对于交互的 PCB 设计来讲是不可接受的;其次,由于 SPICE 模型涉及到许多集成电路设计方面的细节,一般集成电路厂商都不愿意公开提供,限制了它的广泛应用。所以,需要有另外一种通用的模型来替代 SPICE 模型完成信号完整性分析,IBIS 模型正是在这种情况下产生的。

IBIS 模型是通过一族电流/电压(I/V)和电压/时间(V/T)曲线来描述各个器件管腿的输入输出(I/O)特性的。由于 IBIS 模型只描述器件的外部特性,不涉及到器件的内部细节,不存在知识产权泄露的问题,因此得到了各大集成电路厂商的支持。另外 IBIS 模型的抽象层次比 SPICE 模型高,是建立在器件一级的模型,模拟时所需的计算量少,因此模拟速度大为提高,一般比 SPICE 模型高两个数量级,非常适合于系统级的仿真。现在 IBIS 模型已经被接纳为国际标准 EIA/ANSI-656,版本也从 ver1.0 发展到了现在的 ver3.2。

1 IBIS 模型的构成

图 1 描述了一个输入/输出缓冲器的整体结构模型,每一个方框代表了 IBIS 模型的一个构成要素,其中包括封装参数、钳位二极管、上拉/下拉 I/V 曲线、上升/下降速率等。

下面以 CMOS 电路输入/输出缓冲器为例介绍 IBIS 建模的基本原理,其它器件的建模可参考 IBIS 规范。

1.1 输入模型

输入缓冲器模型包括了影响信号传输质量的主要因素,如图 2 所示。 C_{pkg} 、 R_{pkg} 、 L_{pkg} 为管腿的封装参数,分别对应封装所引起的寄生电容、电阻和电

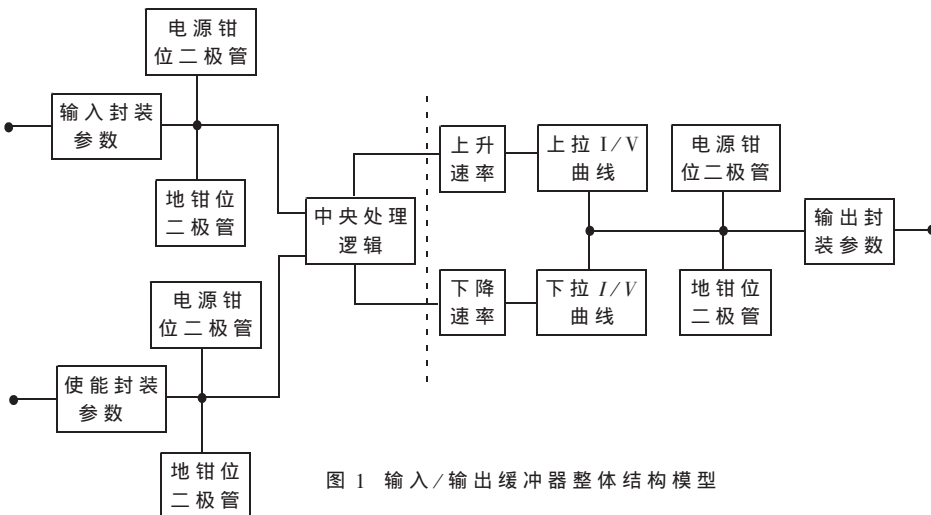


图 1 输入/输出缓冲器整体结构模型

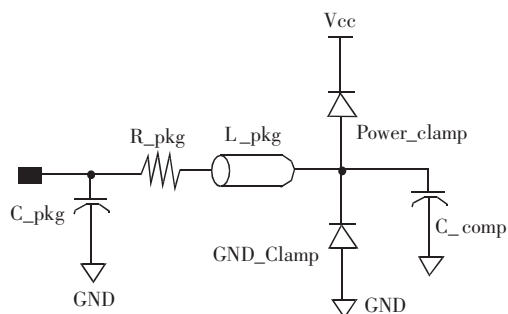


图 2 输入缓冲器模型

感;C_{comp} 为管腿的输入电容,由器件的内部结构决定; Power_Clamp 和 GND_Clamp 分别表示管腿的输入钳位二极管,其特性用输入电流/电压(I/V)曲线来描述。

1.2 输出模型

输出模型比输入模型稍微复杂一些,如图 3 所示。C_{pkg}、R_{pkg}、L_{pkg} 仍然是管腿的封装参数;C_{comp} 是管腿的输出电容,Power_Clamp 和 GND_Clamp 分别表示管腿的输出钳位二极管,其特性也用 V/I 曲线来描述;与输入不同的是输出模型中多了 Pullup 和 Pulldown 参数,Pullup 表示输出为高电平时不同的上拉电压与输出电流的关系,Pulldown 的意义则相反,它们都用 V/I 曲线描述;Ramp_rate 表示输出电压的变化速率,这是一个动态参数,用以描述器件的交流特性。

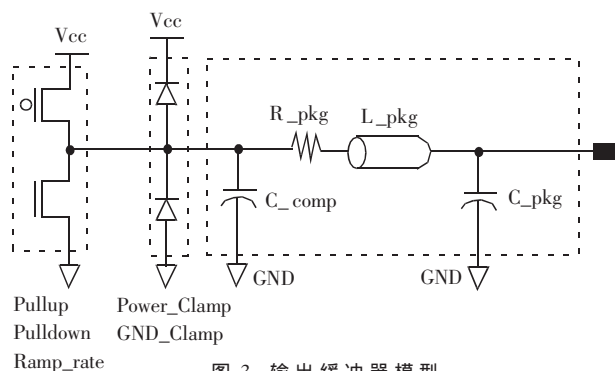


图 3 输出缓冲器模型

1.3 IBIS 模型的表示

同 SPICE 模型一样,IBIS 模型文件也可用可读的 ASCII 码表示,一个器件的 IBIS 模型由若干部分组成,每一部分都以一个关键字开头,然后对所定义的关键字利用数据或表格的形式进行描述。下面是一个简单的 IBIS 模型文件的示例,其中包括了一些最常用的关键字:

```
[IBIS Ver]          2.1
[Comment Char]     |_char
[File Name]        n74f244n.ibs
[File Rev]         2.0
[Date]             September 17, 1997
[Source]           File originated at Intel Corporation,
                   as an example of an IBIS Version
```

1.0 file.

[Notes] This is modified from an original Version 1.0 example to include some IBIS Version 2.1 features to illustrate some keywords, subparameters and IBIS format style.

[Disclaimer] This information is for modeling purposes only,and is not guaranteed.

[Copyright] None

[Component] N74F244N

[Manufacturer] Philips

[Package]

	typ	min	max
R_pkg	50m	10m	100m
L_pkg	6.3 nH	2.4 nH	10.2 nH
C_pkg	1.35 pF	0.89 pF	1.81 pF

[Pin]	signal_name	model_name	R_pin	L_pin	C_pin
1	OEa#	ENABLE	NA	10.2 nH	1.81 pF
2	Ia0	F244_INP	NA	7.8 nH	1.50 pF
3	Yb0	F244_OUT	NA	5.8 nH	1.17 pF
...	data omitted	...			
20	Vcc	POWER	NA	10.2 nH	1.81 pF

F244_OUT MODEL

```
[Model]           F244_OUT
[Model_type]      3-state
[Polarity]        Non-Inverting
[Enable]          Active-Low
[Rref]            = 500
[Cref]            = 50 pF
[Vref]            = 0V
[Vmeas]           = 1.5V
```

	typ	min	max
[Voltage Range]	5.0V	4.5V	5.5V

[Pulldown]

Voltage	I(typ)	I(min)	I(max)
-5.0V	-16m	-15.2m	-16.5m
-4.0V	-14m	-13.2m	-14.5m
...	data omitted
10.0V	755m	612m	810m

[Pullup] ... data omitted ...

[GND_Clamp]

Voltage	I(typ)	I(min)	I(max)
-5.0V	-784m	-756m	-811m

-1.0V	-64m	-56m	-71m
... data omitted ...			
5.0V	0.0m	0.0m	0.0m

[Ramp]

	typ	min	max
dV/dt_r	1.5/2.00n	1.5/2.98n	1.5/1.61n
dV/dt_f	2.0/1.21n	2.0/1.74n	2.0/0.65n

| F244_INP MODEL

... data omitted ...

| ENABLE MODEL

... data omitted ...

| [End]

IBIS 模型可以由集成电路厂商提供，也可以通过实际测量得到，或者将已有的 SPICE 模型进行转换，现在已经有许多成熟的转换程序供使用。

2 IBIS 模型的精度

由于 IBIS 模型是通过 SPICE 模型转换或直接测量得到的结果，因此它具有较高的精度，能够很好地反映器件的外部特性。图 4 是一个典型电路。

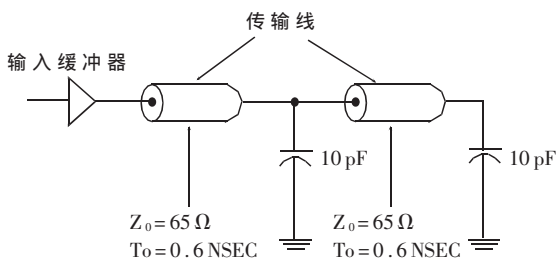


图 4 典型电路

该电路用一个输出缓冲器驱动一段传输线负载，并测量传输线末端的电压波形。图 5 是分别用 SPICE 模型和 IBIS 模型仿真得到的结果。

从图 5 可以看出，两种方法的仿真结果相差无几，因此利用 IBIS 模型进行信号完整性分析是非常精确和可靠的。

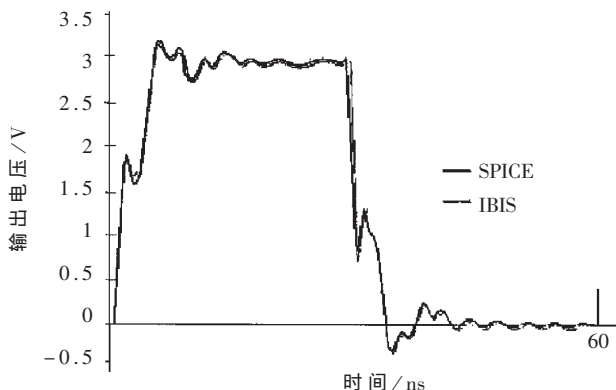


图 5 SPICE 模型和 IBIS 模型仿真结果

3 利用 IBIS 模型进行信号完整性分析

懂得了 IBIS 模型的基本原理，就可以方便地对所设计的电路进行信号完整性分析了。由于 IBIS 模型具有高精度以及器件透明性等优点，其一推出就得到了各大 EDA 厂商的支持。现在各种 EDA 工具都具有利用 IBIS 模型进行系统仿真的功能，有些还将其与 PCB 设计工具集成在一起，设计过程中可以直接在线进行信号的仿真验证，使用非常方便。

3.1 信号完整性分析的原理

虽然各种 EDA 工具对信号完整性分析的实现方法不同，但其基本原理却是一致的。电路都是由器件通过导线互联构成的，信号完整性分析的基本单元就是连接若干个器件的布线网络，如图 6 所示。

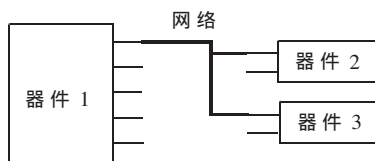


图 6 信号完整性分析的基本单元

每一个网络所连接的管腿的 I/O 特性直接由相应器件的 IBIS 模型来描述（无源器件也可以使用 SPICE 模型），各个器件之间的互联导线则等效成传输线模型。传输线的具体参数可以根据 PCB 板的厚度、材料、层数、布线的线宽、间距等已知参数计算得到，各个网络之间由于导线交叉耦合而引起的寄生参数如寄生电容、电阻、电感等也可以计算出来。这样，在信号传输的全过程中，从源端发送一直到目的端接收的主要影响因素就都已经包括在内，再根据相应的电路理论就可以精确计算出信号在传输过程中所发生的各种变化。

3.2 信号完整性分析的应用

3.2.1 信号延迟分析

一些高速数字电路，如存储器接口等，要求各个存储芯片的时钟相位偏差不能过大，否则可能会引起读写错误，这就要求从时钟发生器到各个芯片接收端因 PCB 布线引起的时钟延迟要大致相等。利用信号完整性分析工具，就可以方便地模拟时钟到达各个芯片的时间延迟，从而调整相应的布局布线以达到预定的要求。

3.2.2 信号畸变分析

利用信号波形可以直观地观察信号在传输过程中所发生的畸变，包括过冲、下冲、振铃等各种现象。IBIS 模型提供了电路的动态参数，因此可以模拟脉冲传输的全过程。对比传输前后信号波形的变化，就可以知道电路设计能否满足要求，如不满足则可以做出相应的修改。

3.2.3 信号串扰分析

串扰是指两个不同的电性能网络之间的相互作用

用。产生串扰的被称为 Aggressor，而收到干扰的被称为 Victim。通常，一个网络既是 Aggressor，又是 Victim。严重的串扰会导致信号的延迟增加、波形畸变加剧等后果。串扰是电路设计中最难解决的问题之一，因为在电路的最后调试过程中很难判断是由于串扰引起的还是其它因素影响的。目前解决这个问题的最好方法就是在电路设计过程中进行模拟，预先避免由于串扰而可能引起的各种问题。

4 信号完整性分析应用示例

下面通过一个阻抗匹配的例子说明如何进行信号完整性分析，分析工具采用 Cadence 公司的 Signoise（其它 PCB 设计软件也有相类似的工具，如 PADS 的 Linesim 和 Boardsim, Protel 的 Signal Integrity Tools 等）。

阻抗匹配是电路设计中经常遇到的问题。当负载的阻抗与驱动源的阻抗不相等时，信号传输时会在源与目的之间来回反射多次，从而导致过冲、振铃等现象而使信号质量变差，阻抗匹配的目的就是通过端接适当的电阻使源和目的端的阻抗大致相等。

示例电路很简单，如图 7 所示。用一个 74LS245 作为驱动源驱动一个 74LS245 负载，中间串入电阻 R 作为阻抗匹配电阻，激励信号采用占空比为 50% 的 50MHz 方波。

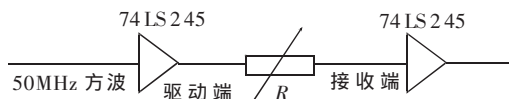


图 7 示例电路

仿真前首先为器件分配 IBIS 模型，一般是由芯片供应商提供，也可使用 Signoise 自带的模型仿真库中的模型；然后将激励信号设为占空比为 50% 的 50MHz 方波。这样就可以进行仿真分析了。PCB 板的布线线宽为 6mil(mil:千分之一英寸)，为了突出传输线效应走线长度拉长为 5 英寸，通过改变阻抗匹配电阻 R 的值，可得到一组驱动端与负载端的信号曲线，如图 8 所示。

从以上各组曲线可以看出，匹配电阻的改变对信号质量有很大影响。电阻值较小时信号有较大的震荡，电阻值过大时信号又上升缓慢，延迟时间变长。其中 $R=33\Omega$ 时信号上升速度快且没有振荡，信号质

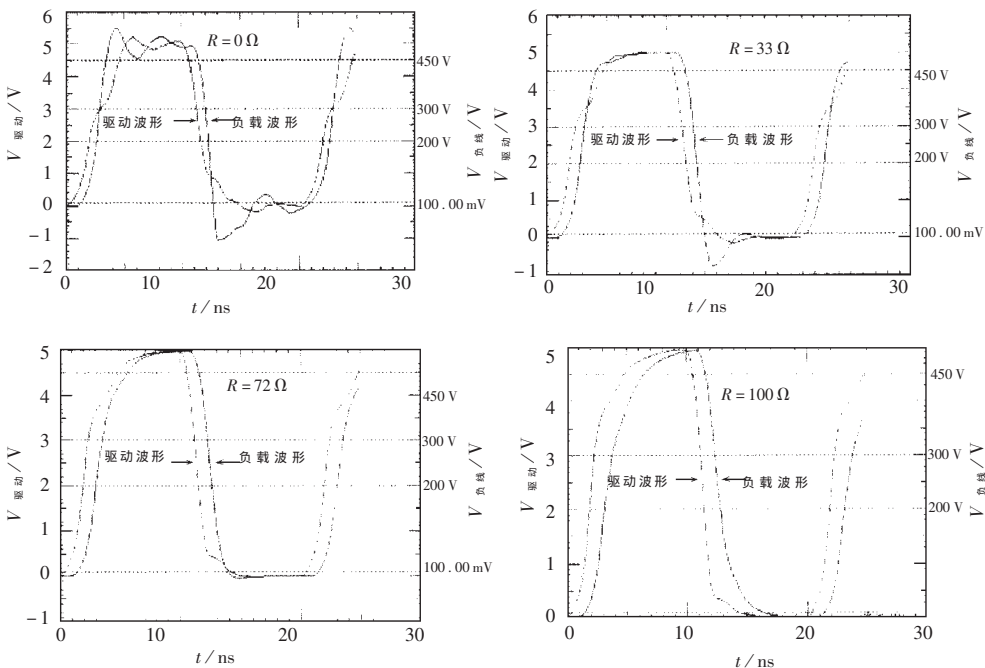


图 8 驱动端与负载端的信号曲线

量最好，所以阻抗匹配电阻应取为 33Ω 。由此可以看出，信号完整性分析能够帮助我们早发现电路设计中的问题，并且能够根据仿真结果修改电路参数以达到预定要求。

现在，电路板设计正在向高密度、高速度、小型化、低成本的方向发展，而且由于市场的激烈竞争，技术的不断更新换代，设计周期越来越短，传统的先设计后验证的方法已经不能适应这种发展趋势。在国外，设计复用、并行设计、信号完整性验证已经成为设计者推崇的三大要素。但在国内，由于技术、资金等各方面条件的限制，还没有获得广泛的应用，因此急待学习和改善条件，以提高我们的设计水平，增强产品的竞争力。

参考文献

- 1 鲁郁. SpectraQuest 在高速信号印刷板设计中的应用. 北京: Cadence 中国通讯, 2000(2): 21~27
- 2 Derrick Duhren. I/O-buffer modeling specification simplifies simulation for high-speed systems. EIA IBIS Open Forum, September 26, 1994
- 3 Bob Ross. Practical Issues with IBIS Models. Electronic Design, December 2, 1996
- 4 ANSI/EIA STANDARD. I/O Buffer Information Specification, Version 3.2. September 21, 1999
- 5 Bob Ross. IBIS Models for Signal Integrity Applications. Electrical Engineering Times, September 2, 1996

(收稿日期: 2000-12-30)